

PATENT
81754.0109

Express Mail Label No. EV 324 112 092 US

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of:

Toshihiko MIYAZAKI

Serial No: Not assigned

Filed: February 12, 2004

For: Semiconductor Device and Method for
Manufacturing Semiconductor Device

Art Unit: Not assigned

Examiner: Not assigned

TRANSMITTAL OF PRIORITY DOCUMENT

Mail Stop PATENT APPLICATION
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Dear Sir:

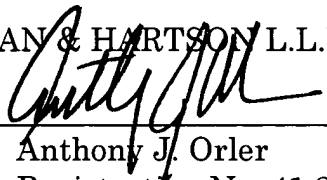
Enclosed herewith are certified copies of Japanese patent application Nos. 2003-036447 filed February 14, 2003 and 2003-036448 filed February 14, 2003, from which priority is claimed under 35 U.S.C. § 119 and Rule 55.

Acknowledgment of the priority document(s) is respectfully requested to ensure that the subject information appears on the printed patent.

Respectfully submitted,

HOGAN & HARTSON L.L.P.

Date: February 12, 2004

By: 
Anthony J. Orlor
Registration No. 41,232
Attorney for Applicant(s)

500 South Grand Avenue, Suite 1900
Los Angeles, California 90071
Telephone: 213-337-6700
Facsimile: 213-337-6701

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年 2月14日
Date of Application:

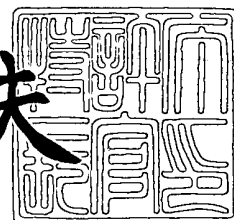
出願番号 特願2003-036447
Application Number:
[ST. 10/C]: [JP 2003-036447]

出願人 セイコーエプソン株式会社
Applicant(s):

2004年 1月19日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



出証番号 出証特2004-3000659

【書類名】 特許願

【整理番号】 J0095440

【提出日】 平成15年 2月14日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 29/78

【発明者】

 【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

 【氏名】 宮崎 俊彦

【特許出願人】

 【識別番号】 000002369

 【氏名又は名称】 セイコーエプソン株式会社

【代理人】

 【識別番号】 100066980

 【弁理士】

 【氏名又は名称】 森 哲也

【選任した代理人】

 【識別番号】 100075579

 【弁理士】

 【氏名又は名称】 内藤 嘉昭

【選任した代理人】

 【識別番号】 100103850

 【弁理士】

 【氏名又は名称】 崔 秀▲てつ▼

【手数料の表示】

 【予納台帳番号】 001638

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0014966

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置および半導体装置の製造方法

【特許請求の範囲】

【請求項 1】 酸化膜を介して酸窒化膜が形成されたゲート絶縁膜の窒素濃度のピーク位置が、表面から 0.5 nm～1.5 nm の範囲内、かつ、シリコン基板との界面から 0.3 nm～2.0 nm の範囲内にあり、前記窒素の元素濃度ピークが 7×10^{21} 以上であることを特徴とする半導体装置。

【請求項 2】 酸窒化性ガス中でシリコン基板の熱処理を 1000℃～1150℃、120～200 秒の範囲の条件で行うことにより、シリコン基板表面に酸窒化膜を形成する工程と、

酸化性ガス中で前記シリコン基板の熱処理を行うことにより、前記酸窒化膜が形成されたシリコン基板表面に酸化膜を形成する工程とを備えることを特徴とする半導体装置の製造方法。

【請求項 3】 酸窒化性ガス中でシリコン基板の熱処理を 1100℃～1150℃、20～200 秒の範囲の条件で行うことにより、シリコン基板表面に酸窒化膜を形成する工程と、

酸化性ガス中で前記シリコン基板の熱処理を行うことにより、前記酸窒化膜が形成されたシリコン基板表面に酸化膜を形成する工程とを備えることを特徴とする半導体装置の製造方法。

【請求項 4】 前記酸化膜を形成する熱処理の温度は 1100℃～1150℃ の範囲であることを特徴とする請求項 2 または 3 記載の半導体装置の製造方法。

【請求項 5】 前記酸窒化性ガスは、一酸化窒素、二酸化窒素または一酸化二窒素であることを特徴とする請求項 2～4 のいずれか 1 項記載の半導体装置の製造方法。

【請求項 6】 前記酸窒化膜の膜厚は 0.5 nm～3.0 nm の範囲内、前記酸化膜の膜厚は 0 nm より大きく、かつ、1.0 nm 以下であることを特徴とする請求項 2～5 のいずれか 1 項記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は半導体装置および半導体装置の製造方法に関し、特に、酸窒化ゲート絶縁膜の形成方法に適用して好適なものである。

【0002】

【従来の技術】

従来の半導体装置では、例えば、特許文献1に開示されているように、P型多結晶シリコンゲートに含まれる硼素がゲート絶縁膜を介してシリコン基板内に拡散し、しきい値電圧が変動することを防止するため、酸窒化膜（窒素を含む酸化膜）／酸化膜の2層構造によりゲート絶縁膜を構成する方法がある。

【0003】

ここで、特許文献1に開示されている方法では、一酸化窒素ガスを用い、温度を1000℃、時間を20秒として、酸窒化膜が形成される。また、流量を $H_2/O_2=5\text{ s l m}/\text{ s l m}$ 、温度を850℃、時間を3分としたウエット酸化、または流量を $O_2=2\text{ s l m}$ 、温度を1000℃、時間を3分としたドライ酸化により、酸化膜が形成される。

【0004】

【特許文献1】

特開平10-199878号公報

【0005】

【発明が解決しようとする課題】

しかしながら、特許文献1に開示されている方法では、ゲート絶縁膜中の窒素濃度が低く、ゲート絶縁膜を酸化膜のみで形成した場合に比べて、ゲートリーク量を1/2桁程度しか減らすことができなかった。

そこで、本発明の目的は、界面準位の増大を抑制しつつ、ゲートリーク量のより一層の低減を図ることが可能な半導体装置および半導体装置の製造方法を提供することである。

【0006】

【課題を解決するための手段】

上述した課題を解決するために、本発明の一態様に係る半導体装置によれば、酸化膜を介して酸窒化膜が形成されたゲート絶縁膜の窒素濃度のピーク位置が、表面から 0.5 nm～1.5 nm の範囲内、かつ、シリコン基板との界面から 0.3 nm～2.0 nm の範囲内にあり、前記窒素の元素濃度ピークが 7×10^{21} 以上であることを特徴とする。

【0007】

これにより、ゲート絶縁膜とシリコン基板との間の界面の窒素濃度を低く保ちつつ、ゲート絶縁膜中の窒素濃度を増加させることが可能となり、界面準位の増大を抑制しつつ、ゲートリーク量のより一層の低減を図ることが可能となる。

また、本発明の一態様に係る半導体装置によれば、酸窒化性ガス中でシリコン基板の熱処理を 1000℃～1150℃、120～200 秒の範囲の条件で行うことにより、シリコン基板表面に酸窒化膜を形成する工程と、酸化性ガス中で前記シリコン基板の熱処理を行うことにより、前記酸窒化膜が形成されたシリコン基板表面に酸化膜を形成する工程とを備えることを特徴とする。

【0008】

これにより、ゲート絶縁膜中の窒素濃度を増加させることが可能となるとともに、窒素濃度のピーク位置を表面方向に押し上げることが可能となり、界面準位の増大を抑制しつつ、ゲートリーク量のより一層の低減を図ることが可能となる。

また、本発明の一態様に係る半導体装置によれば、酸窒化性ガス中でシリコン基板の熱処理を 1100℃～1150℃、20～200 秒の範囲の条件で行うことにより、シリコン基板表面に酸窒化膜を形成する工程と、酸化性ガス中で前記シリコン基板の熱処理を行うことにより、前記酸窒化膜が形成されたシリコン基板表面に酸化膜を形成する工程とを備えることを特徴とする。

【0009】

これにより、ゲート絶縁膜中の窒素濃度を増加させることが可能となるとともに、窒素濃度のピーク位置を表面方向に押し上げることが可能となり、界面準位の増大を抑制しつつ、ゲートリーク量のより一層の低減を図ることが可能となる。

また、本発明の一態様に係る半導体装置によれば、前記酸化膜を形成する熱処理の温度は1100℃～1150℃の範囲であることを特徴とする。

【0010】

これにより、酸窒化膜が形成されたシリコン基板表面に酸化膜を高温で形成することが可能となり、酸窒化膜の膜厚や濃度分布のバラツキの影響を抑制しつつ、酸素分子をシリコン基板表面に拡散させることができる。

このため、酸化膜の膜厚の面内均一性を維持しつつ、窒素濃度のピーク位置を表面方向に押し上げることが可能となり、界面準位の増大を抑制しつつ、ゲートリーク量のより一層の低減を図るとともに、ゲート絶縁膜の平坦性を向上させることが可能となる。

【0011】

また、本発明の一態様に係る半導体装置によれば、前記酸窒化性ガスは、一酸化窒素、二酸化窒素または一酸化二窒素であることを特徴とする。

これにより、酸窒化膜形成時のシリコンとの反応性を向上させることが可能となり、ゲート絶縁膜中の窒素濃度を上昇させて、ゲートリーク量のより一層の低減を図ることが可能となる。

【0012】

また、本発明の一態様に係る半導体装置によれば、前記酸窒化膜の膜厚は0.5nm～3.0nmの範囲内、前記酸化膜の膜厚は0nmより大きく、かつ、1.0nm以下であることを特徴とする。

これにより、界面準位の増大を抑制しつつ、ゲート絶縁膜中の窒素濃度を増加させることが可能となり、ゲートリーク量のより一層の低減を図るとともに、電界効果トランジスタ作製時のキャリア移動度の劣化を抑制することができる。

【0013】

【発明の実施の形態】

以下、本発明の実施形態に係る半導体装置およびその製造方法について図面を参照しながら説明する。

図1は、本発明の一実施形態に係る半導体装置の製造方法を示す断面図である。

【0014】

図1(a)において、弗酸などの溶液でシリコン基板1表面を洗浄し、シリコン基板1表面の自然酸化膜を除去することにより、シリコン基板1の表面を露出させる。ここで、シリコン基板1表面の自然酸化膜を除去することにより、シリコン基板1の表面を平坦化することができ、ゲートリーク量の低減が可能となる。

【0015】

次に、図1(b)に示すように、酸窒化性ガスG1中でシリコン基板1の熱処理を行うことにより、シリコン基板1表面に酸窒化膜2を形成する。

なお、酸窒化膜2を形成する際の酸窒化性ガスG1としては、例えば、一酸化窒素、二酸化窒素または一酸化二窒素を用いることができる。

これにより、酸窒化膜2形成時のシリコン基板1との反応性を向上させることが可能となり、ゲート絶縁膜4中の窒素濃度を上昇させて、ゲートリーク量のより一層の低減を図ることが可能となる。

【0016】

また、酸窒化膜2を形成する際の熱処理条件は、温度を1000℃～1150℃の範囲、時間を120～200秒とすることができる。また、酸窒化膜2を形成する際の熱処理条件として、温度を1100℃～1150℃の範囲、時間を20～200秒とするようにしてもよい。また、酸窒化膜2の膜厚D1は0.3nm～1.5nmの範囲内とするのがよい。

【0017】

これにより、酸窒化膜2／酸化膜3の2層構造からなるゲート絶縁膜4中の窒素濃度を高くすることが可能となり、ゲートリーク量のより一層の低減を図ることが可能となる。

次に、図1(c)に示すように、酸化性ガスG2中でシリコン基板1の熱処理を行うことにより、シリコン基板1上に形成された酸窒化膜2を表面側に押し上げつつ、シリコン基板1表面に酸化膜3を形成する。

【0018】

なお、酸化性ガスG2としては、例えば、酸素ガスや水蒸気(水)を用いるこ

とができる。また、酸化膜 3 を形成する際の熱処理の温度は $1000^{\circ}\text{C} \sim 1150^{\circ}\text{C}$ の範囲とするのが好ましく、さらに好ましくは、 $1100^{\circ}\text{C} \sim 1150^{\circ}\text{C}$ とするのがよい。また、酸化膜 3 を形成する際の熱処理の時間は $20 \sim 300$ 秒とするのが好ましい。また、酸化膜 3 の膜厚 D_2 は $0.3 \text{ nm} \sim 1.0 \text{ nm}$ の範囲内とするのがよい。

【0019】

これにより、酸化膜 3 をシリコン基板 1 表面に高温で形成することが可能となり、酸化膜 2 の膜厚や濃度分布のバラツキの影響を抑制しつつ、シリコン酸化膜をシリコン基板 1 表面に成長させることができる。

このため、酸化膜 3 の膜厚の面内均一性を維持しつつ、窒素濃度のピーク位置を表面方向に押し上げることが可能となり、界面準位の増大を抑制しつつ、ゲートリーク量のより一層の低減を図るとともに、ゲート絶縁膜 4 の平坦性を向上させることが可能となる。

【0020】

また、上述した条件でゲート絶縁膜 4 を形成することにより、窒素の元素濃度ピークを 7×10^{21} 以上としつつ、ゲート絶縁膜 4 の窒素濃度のピーク位置を、表面から $0.5 \text{ nm} \sim 1.5 \text{ nm}$ の範囲内、かつ、シリコン基板 1 との界面から $0.3 \text{ nm} \sim 2.0 \text{ nm}$ の範囲内に収めることが可能となり、ゲート絶縁膜 4 を数十 Å 程度に薄膜化した場合においても、ゲート絶縁膜 4 とシリコン基板 1 との間の界面の窒素濃度を低く保ちつつ、ゲート絶縁膜 4 中の窒素濃度を高くすることが可能となる。

【0021】

図 2 は、本発明の一実施形態に係る酸化処理の温度をパラメータとした場合の酸化換算膜厚とゲートリーク量の関係を示す図である。なお、酸化換算膜厚とは、酸化膜の物理定数を用いて算出した電気膜厚である。また、図 2 の例では、一酸化窒素ガス中で、温度が 1000°C 、 1100°C 、 1150°C 、時間が 20 秒の各条件で酸化膜 3 を形成した。また、酸素ガス中で、温度が 1100°C 条件で酸化膜 2 を形成した。そして、これら酸化膜 2 / 酸化膜 3 の 2 層構造からなるゲート絶縁膜 4 のゲートリーク量を、酸化膜のみからなるゲート絶縁膜のゲ

ートリーク量と比較して示した。

【0022】

図2において、酸化膜のみでゲート絶縁膜を構成した場合に比べ、酸化膜2／酸窒化膜3の2層構造でゲート絶縁膜4を構成することで、ゲートリーク量を低減できることがわかる。ここで、酸窒化膜3形成時の温度を1000℃とすると、ゲートリーク量を1／2桁程度しか低減させることができないのに対して、酸窒化膜3形成時の温度を1100℃～1150℃の範囲にすると、ゲートリーク量を1桁以上低減させることができる。

【0023】

図3は、本発明の一実施形態に係る酸窒化処理の時間をパラメータとした場合の酸化換算膜厚とゲートリーク量の関係を示す図である。なお、図3の例では、一酸化窒素ガス中で、温度が1000℃、時間が20秒、120秒、200秒の各条件で酸窒化膜3を形成した。また、酸素ガス中で、温度が1100℃条件で酸化膜2を形成した。そして、これら酸化膜2／酸窒化膜3の2層構造からなるゲート絶縁膜4のゲートリーク量を、酸化膜のみからなるゲート絶縁膜のゲートリーク量と比較して示した。

【0024】

図3において、酸化膜のみでゲート絶縁膜を構成した場合に比べ、酸化膜2／酸窒化膜3の2層構造でゲート絶縁膜4を構成することで、ゲートリーク量を低減できることがわかる。ここで、酸窒化膜3形成時の時間を20秒とすると、ゲートリーク量を1／2桁程度しか低減させることができないのに対して、酸窒化膜3形成時の時間を120秒～200秒の範囲にすると、ゲートリーク量を1桁以上低減させることができる。

【0025】

図4は、本発明の一実施形態に係る半導体装置のゲート絶縁膜表面からの深さと窒素濃度との関係を示す図である。なお、図4の例では、酸化膜2／酸窒化膜3の2層構造でゲート絶縁膜4を構成し、一酸化窒素ガス中で、温度が1000℃、1100℃、1150℃、時間が20秒の条件で酸窒化膜3を形成し、酸素ガス中で、温度が1100℃条件で酸化膜2を形成した。そして、SIMS (s

secondary-ion mass spectrometry：二次イオン質量分析)により、ゲート絶縁膜 4 表面からの深さ方向における窒素元素濃度、シリコン元素濃度および酸素元素濃度を調べた。

【0026】

図 4 において、シリコン基板 1 とゲート絶縁膜 4 との界面はゲート絶縁膜 4 の表面から約 25 Å の位置にあり、ゲート絶縁膜 4 の厚さは約 25 Å であることがわかる。また、酸窒化膜 3 を形成する際の温度を高くすることにより、ゲート絶縁膜 4 内の窒素元素濃度を上昇させることができる。

【図面の簡単な説明】

【図 1】 一実施形態に係る半導体装置の製造方法を示す断面図。

【図 2】 酸化換算膜厚とゲートリーク量の関係を示す図。

【図 3】 酸化換算膜厚とゲートリーク量の関係を示す図。

【図 4】 絶縁膜表面からの深さと窒素濃度との関係を示す図。

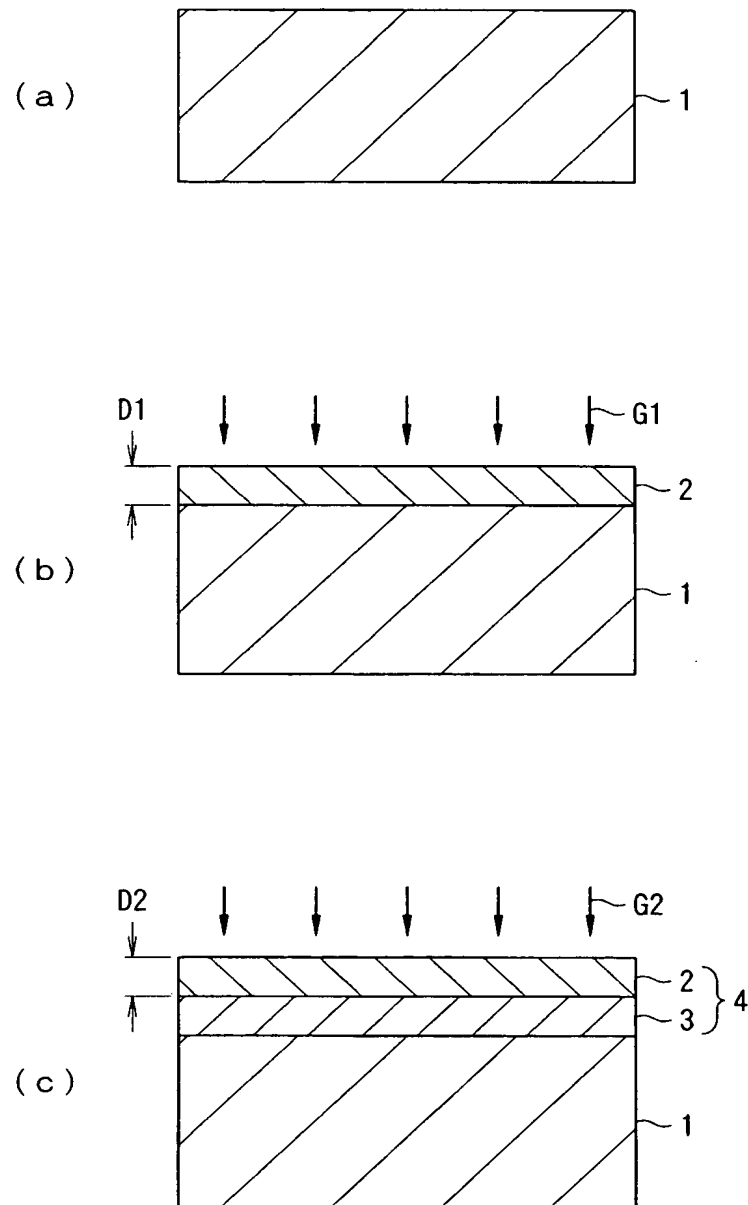
【符号の説明】

1 半導体基板、2 酸窒化膜、3 酸化珪素膜、4 ゲート絶縁膜、G1 酸窒化性ガス、G2 酸化性ガス

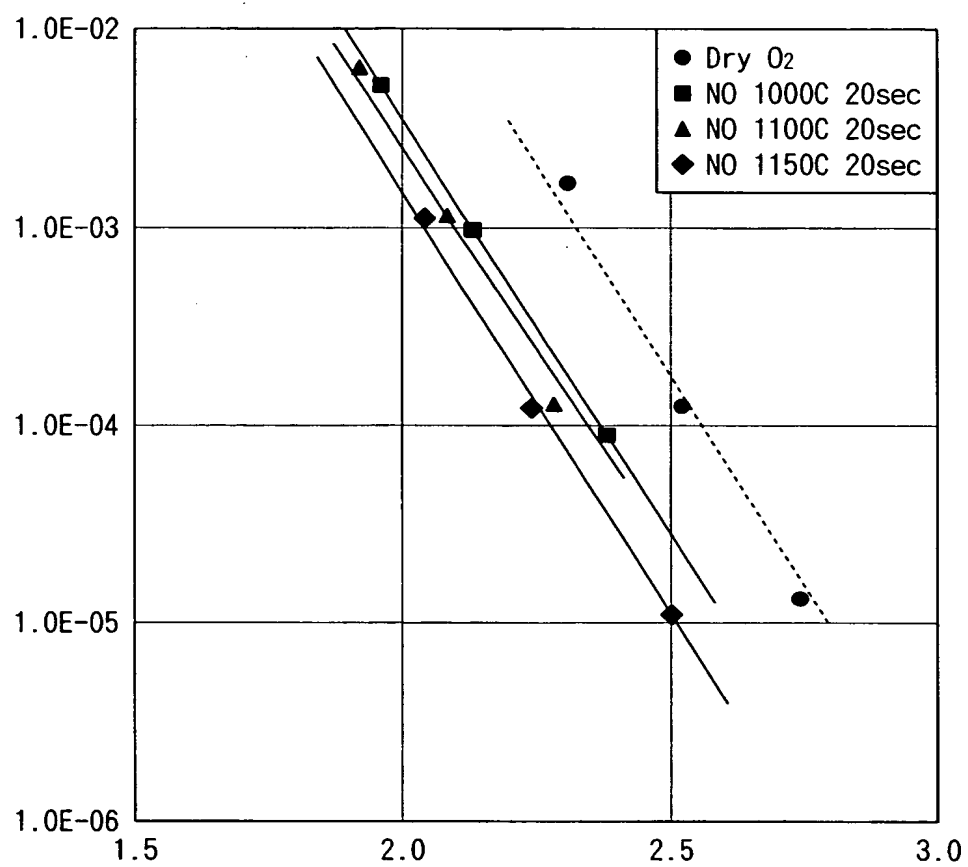
【書類名】

図面

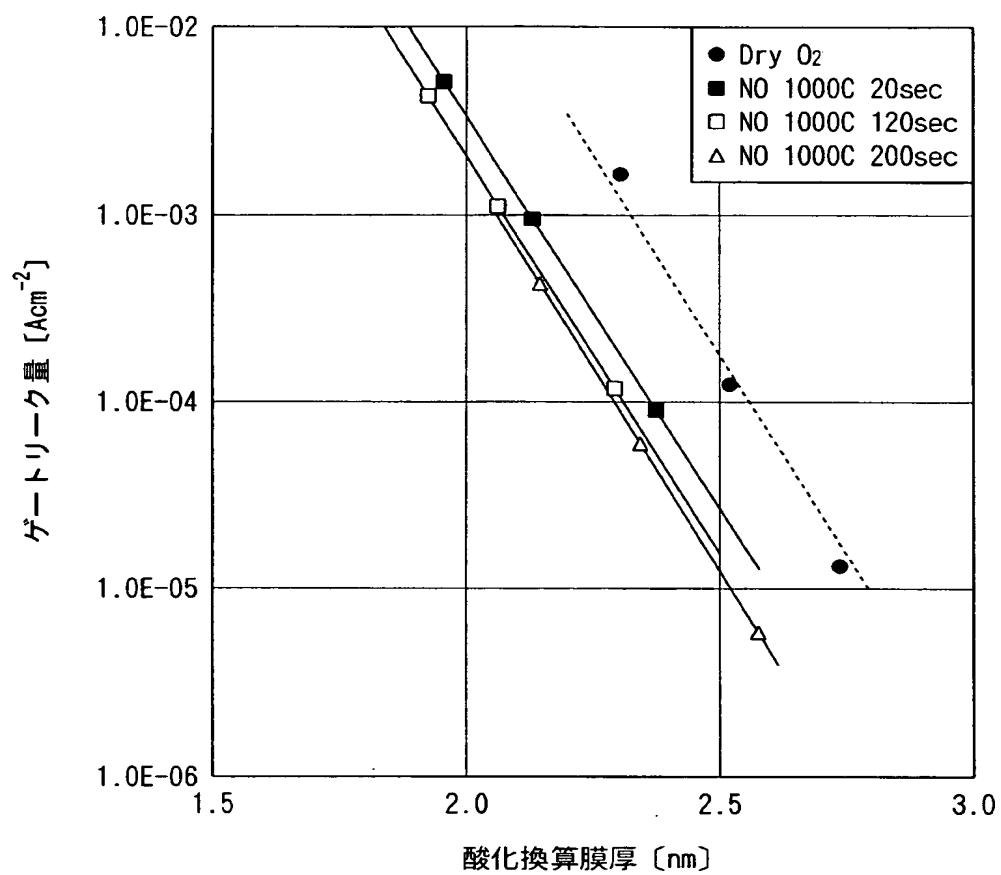
【図 1】



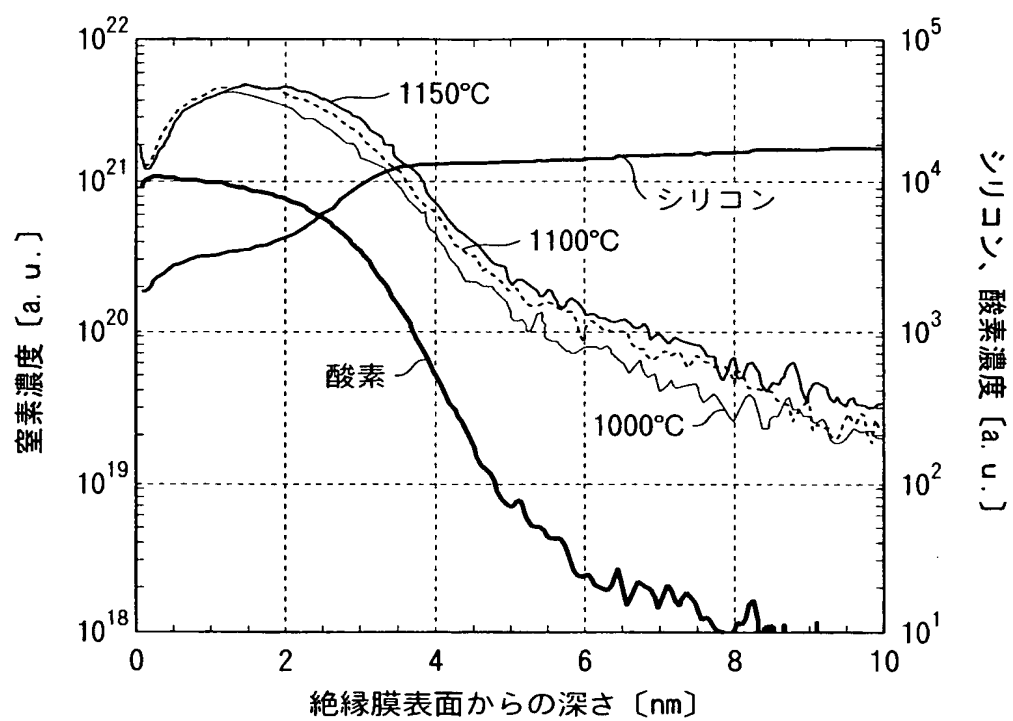
【図 2】



【図 3】



【図 4】



【書類名】 要約書

【要約】

【課題】 界面準位の増大を抑制しつつ、ゲートリーク量のより一層の低減を図る。

【解決手段】 酸化膜 2 / 酸窒化膜 3 の 2 層構造でゲート絶縁膜 4 を構成し、酸窒化膜 3 を形成する際の熱処理温度を 1 1 0 0 ℃～1 1 5 0 ℃の範囲、または酸窒化膜 3 を形成する際の熱処理時間を 1 2 0 ～2 0 0 秒の範囲とする。

【選択図】 図 1

特願 2 0 0 3 - 0 3 6 4 4 7

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 2 3 6 9]

1. 変更年月日	1 9 9 0 年 8 月 2 0 日
[変更理由]	新規登録
住 所	東京都新宿区西新宿 2 丁目 4 番 1 号
氏 名	セイコーエプソン株式会社